

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048271

(43)Date of publication of application : 26.02.1993

(51)Int.Cl.

H05K 3/46  
H01C 13/00  
H01F 15/00  
H01G 4/40  
H01L 23/12  
H01L 25/00  
H05K 1/03

(21)Application number : 03-201789

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 12.08.1991

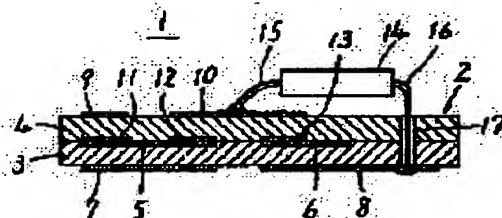
(72)Inventor : WAKINO KIKUO  
YUGAWA KATSUMI  
KASATSUGU TORU  
HARADA ATSUSHI  
IMAGAWA SHUNJIRO  
NAGAKUBO HIROSHI

## (54) FUNCTIONAL MULTILAYER CIRCUIT BOARD

(57)Abstract:

**PURPOSE:** To impart not only a function of wirings and component mounting but also a function as a capacitor, an inductance element or a resistor to a circuit board.

**CONSTITUTION:** Electrode conductors 5-13 are provided on a multilayer circuit body 2 in which a dielectric layer 3 made of resin containing dielectric powder and a resistor layer 4 made of resin containing conductor or semiconductor powder are laminated. A capacitor is formed of the conductors 5-8, and a resistor is formed of the conductors 9-13. A magnetic material layer made of resin containing magnetic powder may be used instead of the layer 3 or 4 in response to its purpose. Accordingly, components to be mounted on the board 1 can be reduced, and an area for mounting components necessary on the board 1 can be decreased.



## LEGAL STATUS

[Date of request for examination] 22.04.1998

[Date of sending the examiner's decision of rejection] 08.02.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 4 8 2 7 1

(43) 公開日 平成 5 年 (1993) 2 月 26 日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	Q	6921 - 4 E		
H 0 1 C 13/00	A	9058 - 5 E		
H 0 1 F 15/00	D	7129 - 5 E		
H 0 1 G 4/40		9174 - 5 E		
		7352 - 4 M	H 0 1 L 23/12	B
審査請求 未請求 請求項の数 1			(全 6 頁)	最終頁に続く

(21) 出願番号 特願平 3 - 201789

(22) 出願日 平成 3 年 (1991) 8 月 12 日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目 26 番 10 号

(72) 発明者 脇野 喜久男

京都府長岡京市天神二丁目 26 番 10 号 株式会社村田製作所内

(72) 発明者 湯川 克巳

京都府長岡京市天神二丁目 26 番 10 号 株式会社村田製作所内

(72) 発明者 笠次 徹

京都府長岡京市天神二丁目 26 番 10 号 株式会社村田製作所内

(74) 代理人 弁理士 深見 久郎 (外 2 名)

最終頁に続く

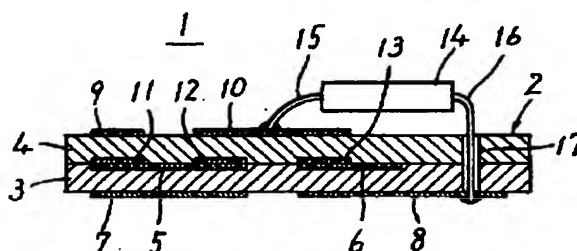
(54) 【発明の名称】 機能性多層回路基板

(57) 【要約】

【目的】 回路基板に対して、配線および部品実装の機能だけでなく、コンデンサ、インダクタンス素子または抵抗器としての機能を与える。

【構成】 誘電体の粉末を含有する樹脂からなる誘電体層 3 および導体あるいは半導体の粉末を含有する樹脂からなる抵抗体層 4 が積層された多層基板本体 2 に関連して、電極導体 5 ~ 13 を設ける。電極導体 5 ~ 8 によってコンデンサが構成され、電極導体 9 ~ 13 によって抵抗が構成される。目的に応じて、誘電体層 3 または抵抗体層 4 に代えて、磁性体の粉末を含有する樹脂からなる磁性体層を用いてもよい。

【効果】 回路基板上に実装されるべき部品を削減でき、回路基板上に必要とされる部品実装のための面積を削減することができる。



## 【特許請求の範囲】

【請求項1】 誘電体、磁性体、導体または半導体の分散材を含有する樹脂からなる第1の層、および、前記第1の層とは電気特性が異なる、誘電体、磁性体、導体または半導体の分散材を含有する樹脂からなる第2の層を備える、多層基板本体と、  
前記多層基板本体自身が有する電気特性を得るように前記多層基板本体に設けられる導体とを備える、機能性多層回路基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、多層回路基板に関するもので、特に、回路基板が本来有する配線および部品実装の機能に加えて、別の機能が付加された機能性多層回路基板に関するものである。

## 【0002】

【従来の技術】従来、回路基板として、たとえばガラスエポキシ等からなる基板本体に銅箔が付与されたものが用いられ、銅箔には目的の回路に合った配線になるようにエッチング等を施すことによって回路が形成される。このような回路基板には、個別の部品（IC、抵抗器、コンデンサ、コイル等）がはんだ付けにより実装されていた。

## 【0003】

【発明が解決しようとする課題】この発明の目的は、上述したような回路基板に実装されるべきいくつかの部品が与える機能を、回路基板自身によって与え得るようにされた、機能性多層回路基板を提供しようとするところである。

## 【0004】

【課題を解決するための手段】この発明にかかる機能性多層回路基板は、誘電体、磁性体、導体または半導体の分散材を含有する樹脂からなる第1の層、および、前記第1の層とは電気特性が異なる、誘電体、磁性体、導体または半導体の分散材を含有する樹脂からなる第2の層を備える、多層基板本体と、前記多層基板本体自身が有する電気特性を得るように前記多層基板本体に設けられる導体とを備えている。

【0005】ここで、各種の分散材としては粉末状のものが使用されるが、導体については箔片状、繊維状などがあり、使用用途に応じて適宜選択される。

## 【0006】

【作用】この発明において、多層基板本体に備える第1

または第2の層を構成する樹脂が誘電体の分散材を含有している場合には、当該層に関連して導体を設けることによってコンデンサを与えることができる。また、磁性体の分散材を含有する場合には、インダクタンス素子を与えることができ、導体あるいは半導体の分散材を含有する場合には、抵抗器を与えることができる。

## 【0007】

【発明の効果】したがって、この発明によれば、回路基板上に実装されるべきコンデンサ、コイル、抵抗器などの部品のいくつかを削減することができる。そのため、部品コストおよび部品実装コストの削減を図ることができる。

【0008】また、上述の効果に加えて、この発明によれば、1つの多層基板本体において、複数個または複数種類の電気的要素を積層方向に配置することができるので、回路基板上での部品実装に要する面積の削減を図ることができるとともに、回路基板の小型化を達成することができる。

## 【0009】

【実施例】この発明による機能性多層回路基板を製造するにあたって、まず、誘電体、磁性体、導体および半導体の各分散材をそれぞれ含有する樹脂からなる基板本体を備える単層の機能性回路基板を作製し、それぞれの実用性を確認する実験を行なった。

## 【0010】(1) 誘電体基板

エポキシワニス（主剤：「三菱油化エビコート」100重量部；硬化剤：「ジシアンジアミド」2.5重量部；促進剤：「イミダゾール2PZ-CNS」0.2重量部；溶剤：「ジメチルフォルムアミド」40～400重量部）に、セラミック誘電体粉末を混ぜて、約1時間攪拌し、複合ワニスを作製した。これを、ガラス織布に浸漬後、ロールで軽くしごいて、シート状にして、150℃で約5分間、乾燥させてシートを得た。このシートの両面に、銅箔を配置して、170℃で30分間、ホットプレスした後、160℃で1時間、エージングして、誘電体基板を得た。

【0011】以下の表1に、セラミック誘電体粉末を含まない比較例およびこれを含むいくつかの実施例に関して、1MHzの周波数のもとで測定した比誘電率（ $\epsilon_r$ ）が示されている。

## 【0012】

## 【表1】

	比較例	実施例1	実施例2	実施例3
セラミック (vol%) ガラス織布	0 有	23 有	55 有	55 無
比誘電率	5.2	6.9	8.3	29.1

【0013】表1からわかるように、セラミック誘電体粉末の混合割合を変えることにより、得られた誘電体基板自身の比誘電率を変えることができる。なお、比誘電率は、混合されるべきセラミック誘電体粉末の種類（すなわち、粉末の比誘電率）を変えることによっても、変えることができる。

#### 【0014】(2) 磁性体基板

上記(1)で用いたエポキシワニスにBaフェライト粉末を混ぜ、約1時間攪拌し、複合ワニスを作製した。これをシート状にして、150℃で約5分間、乾燥させた\*

\*後、160℃、1時間でエポキシを硬化させて磁性体基板を得た。

【0015】フェライト粉末を含まない比較例とこれを含むいくつかの実施例について、比透磁率を測定したところ、以下の表2に示すような結果が得られた。なお、比透磁率は、試料となる基板を、外径30mm、内径20mmのリング状にして、ここにコイルを巻いて、周波数1MHzのもとで測定した。

#### 【0016】

##### 【表2】

	比較例	実施例1	実施例2
フェライト (vol%)	0	35	46
比透磁率	1	4	8

【0017】表2からわかるように、磁性体基板の場合にも、フェライト粉末の混合割合を変えることにより、磁性体基板の比透磁率を変えることができる。また、磁性体基板の比透磁率は、用いるフェライトの比透磁率を変えることによっても変えることができる。

【0018】上述した実施例では、ガラス織布を用いなかったが、このような磁性体基板にも、ガラス織布を入れてもよい。また、シート化するとき、金属板または金属箔上においてシート化するようにしてもよい。この場合、たとえば、トランスファーモールド、ホットプレスなどを用いることができる。

#### 【0019】(3) 抵抗体(半導体)基板

上記(1)で用いたエポキシワニスに、カーボン、銅、鉛、RuO<sub>2</sub>のような導体の粉末、またはチタン酸バリウム系半導体のような半導体の粉末を混ぜて混合ワニスを作製し、これを用いて抵抗体(半導体)基板を得ることができる。このような抵抗体基板において、その両面に金属箔を貼り付けたり金属ペーストを印刷したりして電極を形成すれば、電極間で抵抗を得ることができる。このとき、電極の面積を変えたり、スルーホールにて両面の電極の接続を行なうことにより、所要の抵抗値を得ることができる。

【0020】この発明では、上述したような各々単層の誘電体基板、磁性体基板および抵抗体(半導体)基板が、適当に組合わされ、積層された機能性多層回路基板

が提供される。このように積層された機能性多層回路基板は、たとえば、単層の回路基板を重ね合わせてホットプレスすることにより一体化される。

【0021】以下に、この発明に従って得られた機能性多層回路基板の種々の構造例について説明する。

【0022】図1には、この発明の第1の実施例としての機能性多層回路基板1が示されている。多層回路基板1は、多層基板本体2を備える。多層基板本体2は、誘電体の粉末を含有する樹脂からなる誘電体層3、および導体の粉末を含有する樹脂からなる抵抗体層4を備える。

【0023】誘電体層3の一方主面上には、電極導体5および6が設けられ、同じく他方主面上には、電極導体5および6にそれぞれ対向する電極導体7および8が設けられる。これら電極導体5～8は、コンデンサ電極として機能し、誘電体層3自身が有する誘電体としての電気特性が電極導体5～8によって取出される。したがって、この誘電体層3および電極導体5～8によって、2つのコンデンサが与えられる。これらコンデンサの静電容量は、誘電体層3自身が有する比誘電率、誘電体層3の厚みおよび電極導体5～8の面積により任意に設定することができる。

【0024】他方、抵抗体層4の一方主面上には、電極導体9および10が設けられ、同じく他方主面上には、電極導体9に対向する電極導体11ならびに電極導体1

0に共通に対向する電極導体12および13が設けられる。これら電極導体9~13は、抵抗体層4自身が有する抵抗体としての電気特性を取出すように機能する。したがって、抵抗体層4および電極導体9~13によって、3つの抵抗が与えられる。これら抵抗の抵抗値は、抵抗体層4自身の比抵抗、抵抗体層4の厚みおよび電極導体9~13の面積によって任意に設定することができる。

【0025】なお、電極導体5~13は、たとえば、銅箔をエッチングしたり、導電ペーストを印刷したりすることによって形成されることができる。

【0026】前述した誘電体層3および抵抗体層4は、互いに重ね合わされ、ホットプレスされることにより、一体化される。このとき、電極導体5は電極導体11および12に共通に接続され、電極導体6は電極導体13に接続される。この接続状態からわかるように、抵抗体層14に設けられる電極導体10~13は省略されてもよい。

【0027】このようにして得られた多層回路基板1には、増幅器素子14が実装される。すなわち、増幅器素子14の一方の端子15は、電極導体10に接続され、他方の端子16は、多層基板本体2に設けられたスルーホール17を通して電極導体8に接続される。これによって、図2に示すようなローパスフィルタ回路が得られる。

【0028】図3ないし図6には、この発明の第2の実施例としての機能性多層回路基板18が示されている。多層回路基板18は、多層基板本体19を備える。多層基板本体19は、導体の粉末を含有する樹脂からなる抵抗体層20、および誘電体の粉末を含有する樹脂からなる誘電体層21を備える。

【0029】抵抗体層20の下方主面上には、図4ないし図6に示されるように、電極導体22、23、24、ならびに電極導体23および24に接続されるアース導体25が設けられる。また、誘電体層21の上方主面上には、図3ないし図5に示されるように、電極導体26、27、28が設けられる。また、抵抗体層20と誘電体層21と界面には、電極導体22および26にそれぞれ対向する電極導体29、電極導体23および27にそれぞれ対向する電極導体30、ならびに電極導体24および28にそれぞれ対向する電極導体31が設けられる。

【0030】このようにして、抵抗体層20および電極導体22~24、29~31によって、3つの抵抗が与えられ、かつ、誘電体層21および電極導体26~31によって、3つのコンデンサが与えられる。

【0031】この機能性多層回路基板18には、電界効果型トランジスタ(FET)32が実装される。すなわち、FET32のドレイン端子33は、誘電体層21を貫通するスルーホール導体34を介して電極導体29に

接続され、同じくゲート端子35は、誘電体層21を貫通するスルーホール導体36を介して電極導体30に接続され、同じくソース端子37は、誘電体層21を貫通するスルーホール導体38を介して電極導体31に接続される。このようにして、図7に示すような位相反転回路が構成される。

【0032】図8ないし図11には、この発明の第3の実施例としての機能性多層回路基板39が示されている。多層回路基板39は、多層基板本体40を備える。多層基板本体40は、導体の粉末を含有する樹脂からなる抵抗体層41、および誘電体の粉末を含有する樹脂からなる誘電体層42を備える。

【0033】なお、多層回路基板39を説明するための図8ないし図11において、図8は、多層回路基板39の上面図であり、図9は、抵抗体層41の上面図であり、図10は、抵抗体層41の下面に設けられる要素を上面から示した図であり、図11は、多層回路基板39の断面上での電氣的接続状態を図解する断面図である。

【0034】抵抗体層41の下方主面上には、図10および図11に示すように、電極導体43およびアース導体44が設けられる。また、抵抗体層41と誘電体層42との界面には、図9および図11に示すように、電極導体43に対向する電極導体45、ならびに接続導体46、電極導体47および電極導体48が設けられる。接続導体46と電極導体47とは互いに接続される。また、誘電体層42の上方主面には、図8および図11に示すように、接続導体49、接続導体50、接続導体50に接続されるマイクロストリップライン導体51、マイクロストリップライン導体51に接続される電極導体52、および電極導体53が設けられる。電極導体52は、電極導体47と対向し、電極導体53は、電極導体48と対向する。

【0035】誘電体層42には、接続導体49に接続されるコイル導体54、および接続導体50に接続されるコイル導体55が、誘電体層42の内部においてコイル状に延びるように設けられる。これらコイル導体54および55は、たとえば、リング状の金属膜が順次接続されるように多層印刷方式によって形成されても、予めコイル状とされた導体によって与えられてもよい。コイル導体54は、抵抗体層41と誘電体層42との界面にある電極導体45に接続され、コイル導体55は、同じく界面にある接続導体46に接続される。

【0036】また、抵抗体層41には、図11に示されるように、アース導体44と接続導体46とを互いに接続するスルーホール導体56が設けられる。また、誘電体層42には、接続導体46を外表面にまで引出すスルーホール導体57が設けられる。

【0037】このような多層回路基板39には、図8および図11に示すように、トランジスタ58が実装される。すなわち、トランジスタ58のベース端子59は、

7

接続導体49に接続され、同じくエミッタ端子60は、スルーホール導体57に接続され、同じくコレクタ端子61は、接続導体50に接続される。このようにして、図12に示す430MHz狭帯域増幅回路が得られる。

【0038】なお、上述した実施例では、得ようとする増幅回路の周波数が高いため、コイル導体54および55を設けるための層として、誘電体層42を用いたが、周波数が低い場合には、磁性体の粉末を含有する樹脂からなる磁性体層を、誘電体層42の代わりに用いてもよい。

【0039】以上、この発明をいくつかの実施例に関連して説明したが、この発明において多層基板本体を構成するために組合わされる誘電体層、磁性体層または抵抗体層の数、順序等は任意である。また、多層基板本体が、通常の絶縁体からなる層を含んでいてもよい。

【0040】また、多層基板本体に含まれる複数の層の各々の電気特性は、層に含まれる粉末の電気的性質を変えることによって異ならされても、同じ電気的性質の粉末であっても、その含有量や特性を変えることにより異ならされてもよい。

【0041】また、多層基板本体に含まれる特定の層が、さらに、電気特性が互いに異なる複数の領域を有するように複合されてもよい。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施例としての機能性多層回路基板1を示す断面図である。

【図2】図1に示した機能性多層回路基板1によって与えられるローパスフィルタ回路を示す図である。

8

【図3】この発明の第2の実施例としての機能性多層回路基板18を示す上面図である。

【図4】図3の線I-V-I'に沿う断面図である。

【図5】図3の線V-V'に沿う断面図である。

【図6】図3に示した機能性多層回路基板18の下面図である。

【図7】図3に示した機能性多層回路基板18によって与えられる位相反転回路を示す図である。

【図8】この発明の第3の実施例としての機能性多層回路基板39を示す上面図である。

【図9】図8に示した機能性多層回路基板39に含まれる抵抗体層41の上面図である。

【図10】図9に示した抵抗体層41の下面に設けられる要素を上面から示した図である。

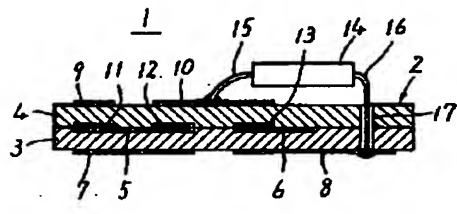
【図11】図8に示した機能性多層回路基板39の断面上に構成される電気的接続状態を示す図解的断面図である。

【図12】図8に示した機能性多層回路基板39によって与えられる430MHz狭帯域増幅回路を示す図である。

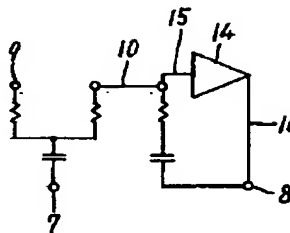
#### 【符号の説明】

- 1, 18, 39 機能性多層回路基板
- 2, 19, 40 多層基板本体
- 3, 21, 42 誘電体層
- 4, 20, 41 抵抗体層
- 5~13, 22~31, 34, 36, 38, 43~57 導体

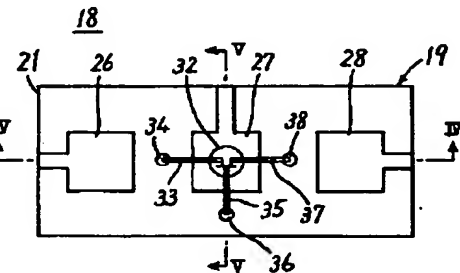
【図1】



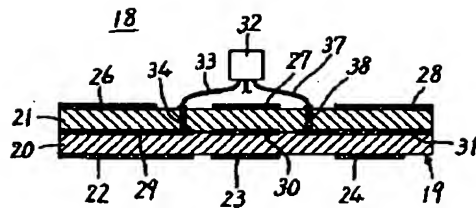
【図2】



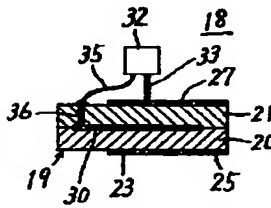
【図3】



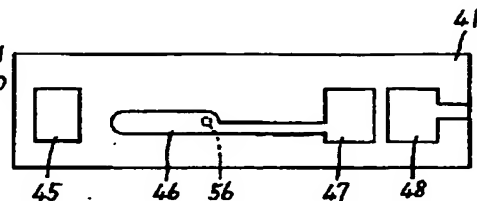
【図4】



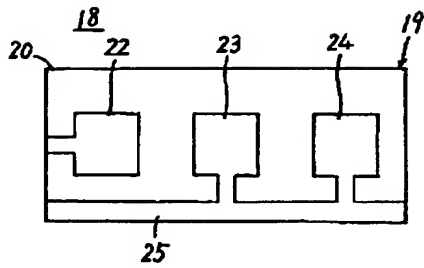
【図5】



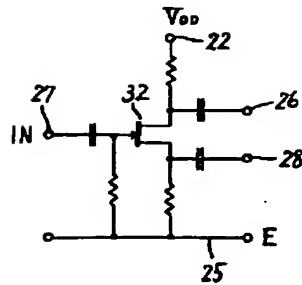
【図9】



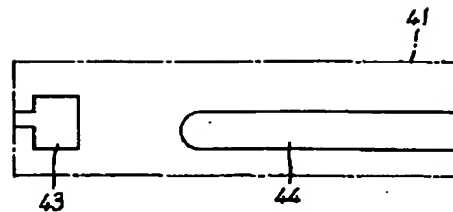
【図6】



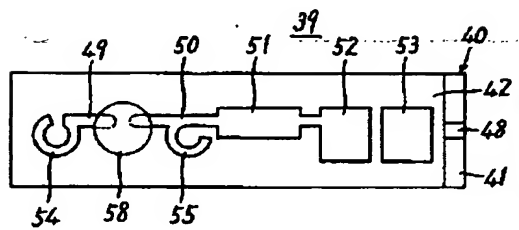
【図7】



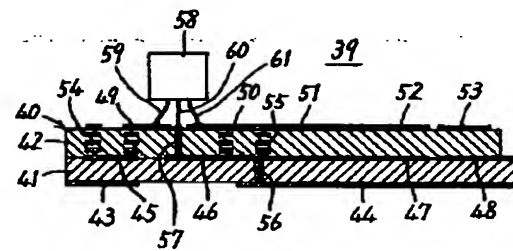
【図10】



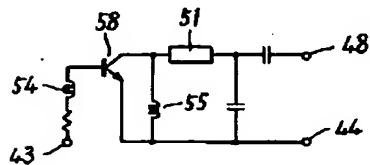
【図8】



【図11】



【図12】



フロントページの続き

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
25/00	Z	7220-4M		
H 0 5 K 1/03	D	7011-4E		
3/46	T	6921-4E		

(72) 発明者 原田 淳  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 今川 俊次郎  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 長久保 博  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内